



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2587941号

(45) 発行日 平成9年(1997)3月5日

(24) 登録日 平成8年(1996)12月5日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	H
H 0 1 L 21/66			H 0 1 L 21/66	

発明の数1(全 7 頁)

<p>(21) 出願番号 特願昭62-133814</p> <p>(22) 出願日 昭和62年(1987)5月29日</p> <p>(65) 公開番号 特開昭63-298177</p> <p>(43) 公開日 昭和63年(1988)12月5日</p> <p>特許 → 特許 1 号</p>	<p>(73) 特許権者 999999999 株式会社 アドバンテスト 東京都練馬区旭町1丁目32番1号</p> <p>(72) 発明者 植田 基夫 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内</p> <p>(72) 発明者 長谷川 真平 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内</p> <p>(72) 発明者 清水 敏行 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内</p> <p>(74) 代理人 弁理士 草野 卓</p> <p>審査官 中塚 直樹</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 ICテストシステム

(57) 【特許請求の範囲】

【請求項1】被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号の測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読出してその読出した命令を複数の下位の処理装置へ送る上位の処理装置と、  
上記上位の処理装置から送られた命令を実行するに必要とする各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、  
上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールとよりなり、  
上記上位の処理装置のステータスと、上記複数の下位の

処理装置のステータスとが同一の双方向性バスに接続され、

上記上位の処理装置は上記命令を上記下位の処理装置に実行させる際に、その上位の処理装置のステータスの状態を予め決めた一方の論理値とする手段と、上記双方向性バスの状態を監視し、その状態が他方の論理値で上記複数の下位の処理装置が全て処理を完了したと判定する手段とを有し、

上記各下位の処理装置はそれぞれそのステータスに、上記双方向性バスの状態を共通のシステムクロックにより取込む手段と、その取込んだ状態が上記一方の論理値でその下位の処理装置の処理を開始させる手段と、その処理が終了すると、そのステータスの状態を上記他方の論理値にする手段と、

を有するICテストシステム。

## 【発明の詳細な説明】

## 「産業上の利用分野」

この発明は階層構造をした分散型アーキテクチャを有するICテストシステムに関する。

## 「従来の技術」

第3図は従来のICテストシステムの構成例を示す図である。ICテストシステムでは、被試験素子を試験するテストシーケンスが記述されたプログラムが記憶装置（図示せず）に格納されており、中央処理装置11が記憶装置からそのテストプログラムを讀出して順次実行するように構成され、例えば半導体メモリ素子を試験するためのテスト動作の全てを中央処理装置11が制御するようになっている。

中央処理装置11には制御線12によりハードウェアモジュール13A、13B、13C～13Nが接続されており、中央処理装置11がテストプログラムを解読して実行するに伴って出力する制御信号はこれらハードウェアモジュール13A、13B、13C～13Nに供給される。

その制御信号は、例えば、被試験素子の所定の入力端子に対して5.25Vの直流信号を供給するための制御信号であり、この制御信号が供給されると、例えばハードウェアモジュール13Aは5.25Vの直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は例えば信号を測定することを指令する制御信号であり、直流電圧を測定するためのハードウェアモジュール13Bは、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール13A、13B、13C～13Nはマイクロプロセッサ14が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子を必要としても、論理回路の多くの部分をマイクロプロセッサ14で組むことにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ14は単なる論理素子の代替であり、予め決められたシーケンス制御をするだけであって、複雑な判断機能を必要とするような使い方は一般にされてない。

## 「発明が解決しようとする問題点」

中央処理装置はプログラムの解読と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力すると共に、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの動作に必要なあらゆる演算制御を行う必要がある。

例えば、テストプログラムに記述されている電圧信号を被試験素子に供給する場合には、中央処理装置はそのデジタルデータ値をハードウェアモジュールに供給したり、被試験素子の出力信号を測定する場合には、得られた測定値を必要に応じて補正演算し、所定の判定表と比較して良否の判定をしたり或いはランク付けをすること

もある。

しかも、数十から百にも及ぶ入出力端子に対する多くの試験信号を正確にタイミングを合わせて被試験素子に供給したり、正確な時間関係でその応答信号を測定するには、それらのタイミング関係を演算して各ハードウェアモジュールに制御信号を与えなければならず、一台の中央処理装置で制御するのは困難でもある。

またこのようなICテストシステムでは、一台の中央処理装置にシステム制御の全てを任せると試験速度が遅くなるので、複数の処理装置を用いて構成する分散処理システムを考えることもできる。しかし、このような分散処理システムにおいても、各処理装置間で正確に同期された制御信号を各ハードウェアモジュールに供給して完全にタイミングの合った試験信号や時間間隔の正確な順序信号を出力させたり、信号の測定をすることはなかなか難しい。例えば、主となる一台の処理装置が各処理装置に対して同期を合わせた処理の開始を指示したり、その処理の状態を示す信号を各処理装置から各別に読取り、その順次読取った信号を総合して次の処理を行う必要がある。このように各処理装置間で正確に同期のとれた処理をさせるのは困難であり、敢えてその処理をさせても、厳密な同期合わせ処理は一般に非常に複雑で多くの処理時間を要するし、いついかなる状況においても、正確な同期合わせ処理が可能かどうか疑問である。

## 「問題点を解決するための手段」

この発明のICテストシステムは、被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号の測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読出してその読出した命令を複数の下位の処理装置へ送る上位の処理装置と、

上記上位の処理装置から送られた命令を実行するに必要とする各種制御乃至処理を、上記命令に応じたプログラムを讀み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、

上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールとよりなり、

上記上位の処理装置のステータスと、上記複数の下位の処理装置のステータスとが同一の双方向性バスに接続され、

上記上位の処理装置は上記命令を上記下位の処理装置に実行させる際に、その上位の処理装置のステータスの状態を予め決めた一方の論理値とする手段と、上記双方向性バスの状態を監視し、その状態が他方の論理値で上記複数の下位の処理装置が全て処理を完了したと判定する手段とを有し、

上記各下位の処理装置はそれぞれそのステータスに、上記双方向性バスの状態を共通のシステムクロックにより取込む手段と、その取込んだ状態が上記一方の論理値

でその下位の処理装置の処理を開始させる手段と、その処理が終了すると、そのステータスの状態を上記他方の論理値にする手段と、

を有する。

#### 「発明の作用」

この発明の構成によれば、上述の処理装置はテストプログラムの行単位による実行するを制御し、プログラム行の実際の解読及び実行は下位の専用の処理装置によって分散して行われる。

更に、この発明の構成によれば、上位の処理装置と下位の各処理装置との間でのステータス情報の相互交換はそれぞれ一度の交換で可能である。また、上位及び下位の各処理装置は同一のクロック信号に同期して動作するので、被試験素子に対して時間的に正確な試験動作が可能である。

#### 「実施例」

第1図はこの発明の10テストシステムの構成例を示すブロック図である。この例では、特にDCテスト、つまり、電流信号入力ー電圧信号出力特性、或いは電圧信号入力ー電流信号出力特性などのような試験に適合するように構成されている。この10テストシステムは記憶装置（図示せず）に格納されているテストプログラムの実行するを制御する上位の処理装置21と、この上位の処理装置21の制御の下にプログラム行の実際の実行をする複数の下位の処理装置23A、23B、23C～23Nと、これ等下位の処理装置23A、23B、23C～23Nに制御されるハードウェアモジュール25A、25B、25C～25Nとで階層的に構成される。

即ち、被試験素子を試験するテストプログラムは試験の順序が行単位で記述され、上位の処理装置21はそのテストプログラムを行単位で記憶装置から順次読出し、その読出したプログラム行について実行するか否かを制御する。

この上位の処理装置21には複数の下位の処理装置23A、23B、23C～23Nが接続されており、上位の処理装置21は被試験素子に対するテストの進行状態をみながら読出したプログラム行を実行するかどうかを決め、実行するを決めたプログラム行の実際の実行は下位に接続された処理装置23A、23B、23C～23Nの何れかに委ねられる。

下位の各処理装置23A、23B、23C～23Nは被試験素子に対するテスト信号をハードウェアモジュール25A、25B、25C～25Nを用いて制御するに適した専用の処理装置であり、ハードウェアモジュール25A、25B、25C～25Nにアクセスしたりテスト状態（端子の接続や測定器の状態）等を変更したりするのに便利な命令語体系をもつ。又、マクロ命令化されているので上位処理装置21が自分の命令語体系を用いてハードウェアモジュール25A、25B、25C～25Nに直接同じ処理をさせるより数十倍の処理速度が得られるように構成されている。

各処理装置23A、23B、23C～23Nは上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行

を解読し、プログラム行の実行に入る。つまり、処理装置23A、23B、23C～23Nは被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、図には示していないが記憶装置に保持しており、与えられたプログラム行の解読結果によりその制御プログラムを読出して、プログラム行に記述されている信号の入出力制御をする手順を実行する。

また、処理装置23A、23B、23C～23Nは、上位の処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけではなく、プログラム行を解読し、その解読結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係或いは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破壊を招くような信号状態に陥ることがないように判断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う。

ハードウェアモジュール25A、25B、25C～25Nは下位の処理装置23A、23B、23C～23Nのプログラム行の実行に伴う制御信号が供給され、被試験素子の指定された入力端子に対してテスト信号を出力したり或いは被試験素子の指定された出力端子からの信号を測定することができる。

このハードウェアモジュール25A、25B、25C～25Nはマイクロプロセッサ26を含んでいてもよい。このマイクロプロセッサ26は、多数の論理素子を置き換えた所謂判断機能のない決められたシーケンスを高速に行うものである。このマイクロプロセッサ26は汎用のプロセッサが使用され、その動作が予めプログラミングされていて、処理装置23からの命令により被試験素子に対する信号の入出力を制御することができる。

更に、階層構造を採るこの発明の10テストシステムでは、上位の処理装置21と下位の処理装置23A、23B、23C～23N間での情報交換量を可能な限り少なくすることによりテストシステムの試験速度を向上させるように構成され、また、下位の各処理装置23A、23B、23C～23N相互間で制御処理の完全な同期が得られるように構成される。即ち、双方向性バス27が設けられ、この双方向性バス27に上位の処理装置21及び下位の各処理装置23A、23B、23C～23Nが接続される。また、上位の処理装置21のシステムクロックckが下位の各処理装置23A、23B、23C～23Nに供給される。

第2図はこの発明の要部の構成例を示す図である。この例では、一本の双方向性バス27が設けられ、この双方向性バス27に各処理装置23A、23B、23C～23N及び上位の処理装置21がそれぞれワイヤードオア回路31A、31B、31C～31N及び31Pを介して接続され、それぞれの内部状態を示すステータス32A、32B、32C～32N及び32Pが双方向性バス27に乗せることが可能なように構成される。また、上位の処理装置21のシステムクロックckはクロック信号線33を通して下位の各処理装置23A、23B、23C～23Nに供給され

る。

システムクロックckはクロック信号線33を伝搬していく間に、例えば1m当たり数n秒の信号遅延を受けるので、各処理装置23A, 23B, 23C~23Nに到達した時点では上位の処理装置21から出力された時とはクロックのタイミングが遅れてしまう。しかし、クロック信号線33の長さは、このクロック信号線33からシステムクロックckが受ける遅延時間がその1周期分より十分に短くなるようにする。例えば、ここで用いられるシステムクロックckは10MHzの50:50の矩形波信号であり、クロック信号線33の総延長が1mならば、最大で数n秒のタイミングの遅れに留まるようにする。

上位の処理装置21は下位の各処理装置23A, 23B, 23C~23Nに対して同時に処理を開始させる場合には、上位の処理装置21から双方向性バス27上を伝えられる信号は正論理として扱われる。つまり、上位の処理装置21は自分のステータス32Pの内容を例えば『1』にする。そのステータス32Pはスタート信号として双方向性バス27を伝搬し、ワイヤードオア回路31A, 31B, 31C~31Nを介して下位の各処理装置23A, 23B, 23C~23Nの各ステータス32A, 32B, 32C~32Nに伝えられる。他方、上位の処理装置21のシステムクロックckはクロック信号線33を介して各処理装置23A, 23B, 23C~23Nに供給されており、各処理装置23A, 23B, 23C~23Nはワイヤードオア回路31A, 31B, 31C~31Nに供給されたスタート信号をそのシステムクロックckで取込むことができる。しかも、その遅延時間はシステムクロックckの1周期分の時間より十分に短くなるようにしてあるので、同一システムクロックckの同一のタイミングで取込むことができる。従って、各処理装置23A, 23B, 23C~23Nはシステムクロックckにより完全に同期して動作することができる。

つまり、上位の処理装置21は同期処理スタート信号として、自分のステータス32Pを『1』に一度するだけで、下位の各処理装置23A, 23B, 23C~23Nに自分に割り当てられている同期処理を開始させることができ、従って、ほぼ完全に同期した試験信号を被試験素子に供給し、或いは測定することができる。

また、この発明では、各処理装置23A, 23B, 23C~23Nは同期を要する処理が終了すると、ステータス32A, 32B, 32C~32Nを終了したことを示すものに変える。この場合には、終了信号は負論理として扱われる。即ち、下位の各処理装置23A, 23B, 23C~23Nは同期処理が終了するとそれ

ぞれのステータス32A, 32B, 32C~32Nを『0』にする。この各終了信号はワイヤードオア回路31A, 31B, 31C~31Nを介して双方向性バス27に出力される。従って、全てのステータス32A, 32B, 32C~32Nが『0』に操作されると、初めて双方向性バス27上の信号は『0』に変化する。上位の処理装置21はこの一本の双方向性バス27に乗せられてくる信号のレベルを監視することにより、各処理装置23A, 23B, 23C~23Nによる同期試験処理が完了したか否かを知ることができる。従って、各処理装置23A, 23B, 23C~23Nの同期処理の終了信号を各別に読出す必要がなく、その分だけ他の処理を行うことができ、速やかなシステム制御が可能になる。

#### 「発明の効果」

以上に説明したように、この発明によれば、上位に在る処理装置は専らプログラム行の実行するを制御し、プログラム行の実際の実行は下位の複数の処理装置に分散して行わせる階層構造とした構成にする。この分散型アーキテクチャによる処理速度の向上を図ると共に、各階層毎に最適な命令語体系を使用しているので制御信号を出力するまでの処理が非常に早くなり、被試験素子に対するテストを高速に行うことができる。

また、この発明の構成によれば、被試験素子に対する試験を下位の各処理装置により分割して行うに際し、下位の各処理装置間でほぼ完全に同期をとって制御プログラムを処理をすることが可能となり、被試験素子に対して同期的或いは正確な時間順序に従う試験信号の供給及び測定が可能となった。

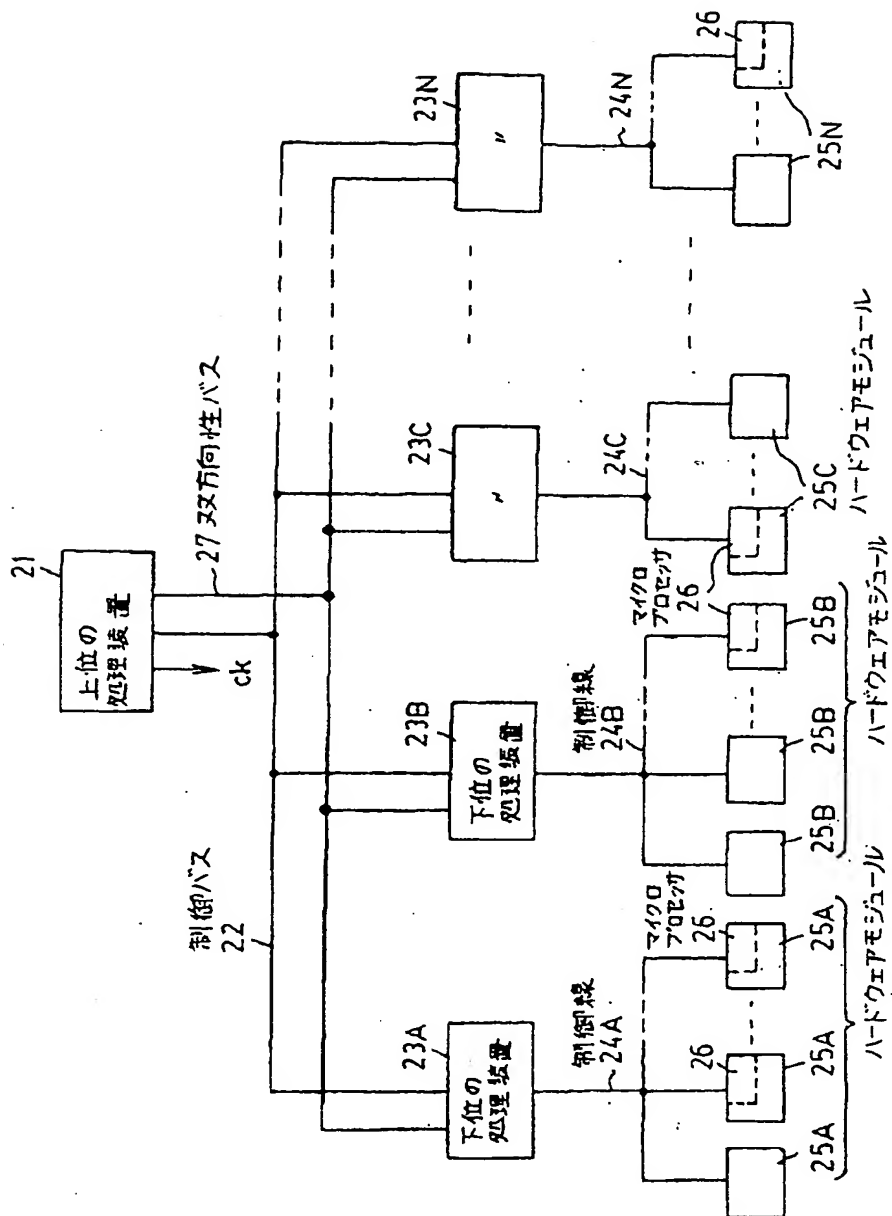
また、これらの同期的処理に関する上位の処理装置によるシステム制御処理が速やかに実行されるので試験速度の向上にも大いに効果がある。

#### 【図面の簡単な説明】

第1図はこの発明によるICテストシステムの実施例を示す構成図、第2図はこの発明の要部の構成例を示す図、第3図は従来のICテストシステムの構成例を示す図である。

11: 中央処理装置、12: 制御線、13: ハードウェアモジュール、14: マイクロプロセッサ、21: 上位の処理装置、22: 制御バス、23: 下位の処理装置、24: 制御線、25: ハードウェアモジュール、26: マイクロプロセッサ、27: 双方向性バス、31: ワイヤードオア回路、32: ステータス、33: クロック信号線。

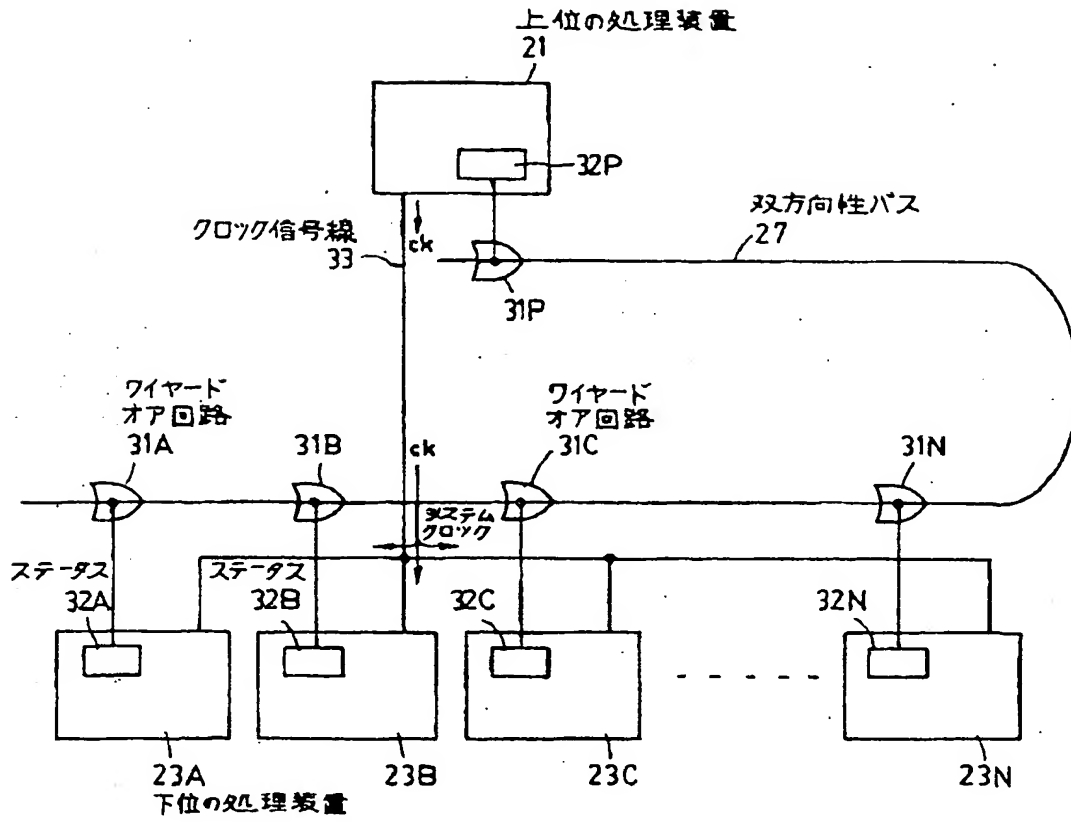
上海新聞 3月25日 10時39分



(6)

第2587941号

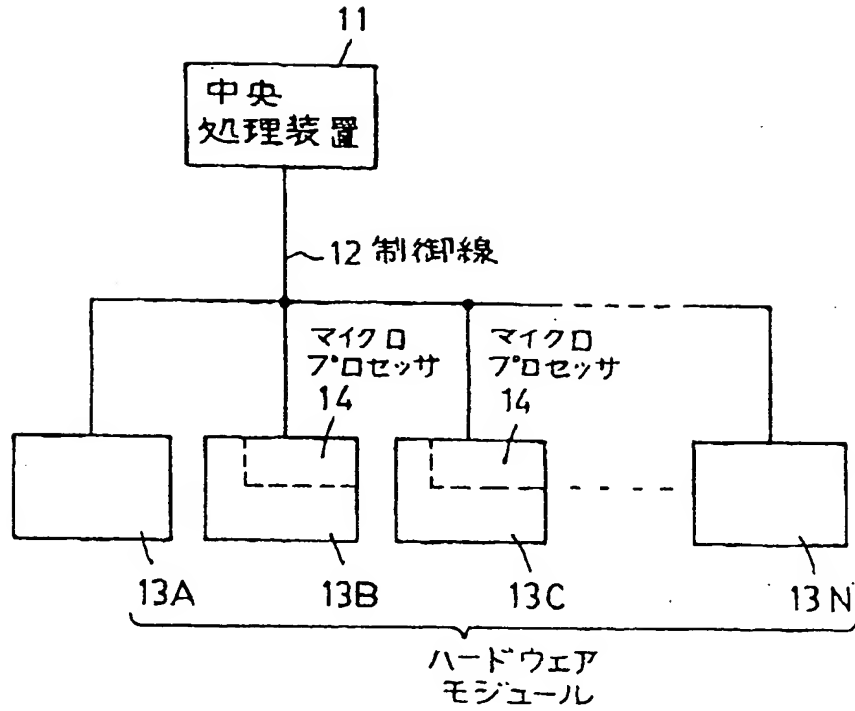
【第2図】



(7)

第2587941号

【第3図】



フロントページの続き

- (56) 参考文献 樹下行三他著、「テストと信頼性」、  
第1版第1刷、昭和57年4月20日オーム  
社発行、P. 114～P. 115

2587941

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

(57) [Claim(s)]

[Claim 1] The processor of the high order which run commands, such as a setting instruction of the control signal to the input terminal of an examined component and a conversion command of the output signal from the output terminal of an examined component, read the test program recorded per line per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, It consists of two or more above-mentioned hardware modules which connect a test signal to an examined component, or measure the output signal of an examined component according to the control thru/or processing from a processor of the above-mentioned low order. The status of the processor of the above-mentioned high order, The status of the processor of two or more above-mentioned low order is connected to the same bidirectional bus. The means which while determined the condition of the status of the processor of the high order beforehand, and makes it a logical value in case the processor of the above-mentioned high order makes the processor of the above-mentioned low order execute the above-mentioned instruction, Supervise the condition of the above-mentioned bidirectional bus and it has the means which the condition judges as all the processors of the low order of the above-mentioned plurality in the logical value of another side having completed processing. A means by which the processor of each above-mentioned low order incorporates the condition of the above-mentioned bidirectional bus with a common system clock for the status, respectively, IC test system which has a means by which the condition of having incorporated makes processing of the processor of the low order start with the logical value of the method of top Norikazu, and the means which makes the condition of the status the logical value of above-mentioned another side after the processing is completed.

---

[Translation done.]



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

"Field of the Invention"

This invention relates to IC test system which has the distributed architecture which has a layered structure.

"Prior art"

Fig. 3 is drawing showing the example of a configuration of the conventional IC test system. A central processing unit 11 controls all the test actuation for the program the test sequence which examines an examined component was described to be being stored in storage (not shown), being constituted so that a central processing unit 11 may read and carry out sequential execution of the test program from storage, for example, examining a semiconductor memory component by IC test system.

Hardware modules 13A, 13B, 13C-13N are connected to the central processing unit 11 by the control line 12, and the control signal which a central processing unit 11 follows on performing by decoding a test program, and outputs is supplied to these hardware modules 13A, 13B, 13C-13N.

That control signal is a control signal for supplying the direct current signal of 5.25V to the predetermined input terminal of for example, an examined component, and if this control signal is supplied, hardware module 13A will supply the direct current signal of 5.25V to the input terminal with which the examined component was specified, for example.

Moreover, it is the control signal which orders it for the control signal which a central processing unit 11 outputs to measure a signal, and it will connect with the output terminal as which the examined component was specified, and hardware module 13B for measuring direct current voltage will measure that signal level, if this control signal is supplied.

As for the hardware modules 13A, 13B, 13C-13N, such as this, the microprocessor 14 may be incorporated. When a test circuit is constructed only by the general-purpose logical element, even if it needs the logical element of the huge number, the circuit board can be constituted small by constructing many parts of a logical circuit by the microprocessor 14. The microprocessor 14 in this case is substitution of a mere logical element, sequence control for which it opted beforehand is only carried out, and usage which needs a complicated judgment function is not made general.

"The trouble which invention tends to solve"

While a central processing unit outputs the control signal for performing decode of a program, and activation, i.e., the trial of an examined component, to a hardware module etc., measurement of the signal which an examined component outputs, the judgment of the quality of a measurement result, etc. need to perform all operation control needed for actuation of IC test system.

For example, when a central processing unit supplies the digital data value to a hardware module in supplying the voltage signal described by the test program to an examined component, or measuring the output signal of an examined component, the amendment operation of the obtained measured value is carried out if needed, and as compared with a predetermined judgment table, a quality may be judged or it may rank.

And in order to double timing for many stimuli over the input/output terminal which attains to 100 from dozens correctly, to supply an examined component or to measure the reply signal by the exact time relation, it is also difficult to have to calculate those timing relationship, to have to give a control signal to each hardware module, and to control by one set of a central processing unit.

Moreover, according to such an IC test system, if you leave all the system controls to one set of a central processing unit, the distributed processing system which constitutes a test period using two or more processors since it becomes late can also be considered. However, also in such a distributed processing system, it is rather difficult to make the stimulus and the sequence signal with an exact time interval which supplied the control signal which synchronized correctly between each processor to each hardware module, and timing suited completely output, or to measure a signal. For example, one set of the processor which becomes main needs to direct initiation of the processing which doubled the synchronization to each processor, or it needs to read in each processor the signal which shows the condition of the processing to each \*\*, needs to synthesize the signal read one by one, and it is necessary to perform the next processing. Thus, it is difficult to carry out processing which was able to take the synchronization correctly between each processor, and even if it dares carry out the processing, generally strict synchronous doubling processing is very complicated, many processing times are required, and it is [ whether exact synchronous doubling processing is possible and ] a question in any situations when.

“The means for solving a trouble”

IC test system of this invention The setting instruction of the control signal to the input terminal of an examined component, The processor of the high order which run commands, such as a conversion command of the output signal from the output terminal of an examined component, read the test program recorded per line per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, It consists of two or more above-mentioned hardware modules which connect a test signal to an examined component, or measure the output signal of an examined component according to the control thru/or processing from a processor of the above-mentioned low order. The status of the processor of the above-mentioned high order, The status of the processor of two or more above-mentioned low order is connected to the same bidirectional bus. The means which while determined the condition of the status of the processor of the high order beforehand, and makes it a logical value in case the processor of the above-mentioned high order makes the processor of the above-mentioned low order execute the above-mentioned instruction, Supervise the condition of the above-mentioned bidirectional bus and it has the means which the condition judges as all the processors of the low order of the above-mentioned plurality in the logical value of another side having completed processing. A means by which the processor of above-mentioned each low order incorporates the condition of the above-mentioned bidirectional bus with a common system clock for the status, respectively, It has a means by which the condition of having incorporated makes processing of the processor of the low order start with the logical value of the method of top Norikazu, and the means which makes the condition of the status the logical value of above-mentioned another side after the processing is completed.

“An operation of invention”

According to the configuration of this invention, an above-mentioned processor controls activation \*\*\*\* by the line unit of a test program, and actual decode and activation of a program line are performed by the processor of low-ranking dedication distributing.

Furthermore, according to the configuration of this invention, the inter exchange of the status information between the processor of a high order and each low-ranking processor is possible respectively at one-time exchange. Moreover, since each processor of a high order and low order operates synchronizing with the same clock signal, exact test actuation is possible for it in time to an examined component.

### “Example”

Fig. 1 is a block diagram showing the example of a configuration of IC test system of this invention. It consists of this example so that the trial of a DC test, i.e., current signal input-voltage signal output characteristics, or voltage signal input-current signal output characteristics may be suited especially. The processor 21 of the high order which controls activation \*\*\*\* of the test program by which this IC test system is stored in storage (not shown). The processors 23A, 23B, 23C-23N of two or more low order which carries out actual activation of a program line to the bottom of control of the processor 21 like besides, It consists of hardware modules 25A, 25B, 25C-25N controlled by the processors 23A, 23B, 23C-23N of low order, such as this, hierarchical.

That is, as for the test program which examines an examined component, an experimental procedure is described per line, and the processor 21 of a high order controls whether the test program is performed about read-out and its read program line one by one from storage per line. The processors 23A, 23B, 23C-23N of two or more low order are connected to the processor 21 like besides, and actual activation of the program line which decided whether the processor 21 of a high order would perform the program line read while seeing the advance condition of a test over an examined component, and determined activation \*\*\*\* is left for processors [ which were connected to low order / 23A, 23B 23C-23N ] any being.

Each low-ranking processors 23A, 23B, 23C-23N are processors of dedication suitable for controlling the test signal to an examined component using hardware modules 25A, 25B, 25C-25N, and have an instruction word system convenient to access hardware modules 25A, 25B, 25C-25N, or to change a test condition (connection of a terminal and condition of a measuring instrument) etc. Moreover, since it is macro-instruction-ized, it is constituted so that the processing speed of a number decade may be obtained, rather than a host processor 21 carries out the directly same processing as hardware modules 25A, 25B, 25C-25N using its instruction word system.

If each processors 23A, 23B, 23C-23N are entrusted with activation of a program line from the processor 21 of a high order, they will decode the program line and will start activation of a program line. That is, although Processors 23A, 23B, 23C-23N do not show in drawing the control program with which the procedure which outputs and inputs the test signal to an examined component was described, they are held to storage, the control program is read by the decode result of the given program line, and the procedure which carries out input/output control of the signal described by the program line is performed.

Moreover, the processors 23A, 23B, 23C-23N It not only performs the program line which received request of activation from the processor 21 of a high order as it is, but decode a program line and it receives the decode result. The functional conditions to which information is beforehand given to the examined component, for example, the minimum clock width of face, An input condition, timing relationship, or prohibition conditions are checked, judging that the mistaken input signal is not given or it does not lapse into a signal state which causes breakage of an examined component greatly, a stimulus is outputted to an examined component or an output signal is measured.

The control signal accompanying activation of a low-ranking processors [ 23A, 23B, 23C-23N ] program line is supplied, and hardware modules 25A, 25B, 25C-25N can measure the signal from an output terminal with which the test signal was outputted or the examined component was specified to the input terminal with which the examined component was specified.

These hardware modules 25A, 25B, 25C-25N may contain the microprocessor 26. This microprocessor 26 performs the decided sequence without the so-called judgment function which replaced many logical elements at a high speed. A general-purpose processor is used, that actuation is programmed beforehand, and this microprocessor 26 can control I/O of the signal over an examined component by the instruction from a processor 23.

Furthermore, by lessening the processor 21 of a high order, the low-ranking processors 23A and 23B, and the amount of information interchange for 23C-23Ns as much as possible, it is constituted so that the test period of a test system may be raised, and it consists of IC test systems of this invention that takes a layered structure so that the perfect synchronization of

control processing may be obtained each low-ranking processors 23A and 23B and between 23C-23Ns. That is, a bidirectional bus 27 is formed and the processor 21 of a high order and each low-ranking processors 23A, 23B, 23C-23N are connected to this bidirectional bus 27. Moreover, the system clock ck of the processor 21 of a high order is supplied to each low-ranking processors 23A, 23B, 23C-23N.

Fig. 2 is drawing showing the example of a configuration of the important section of this invention. One bidirectional bus 27 is formed and each processors 23A, 23B, 23C-23N and the processor 21 of a high order are connected to this bidirectional bus 27 through wye yard OR circuits 31A, 31B, 31C-31N and 31P, respectively, and it consists of this example so that the statuses 32A, 32B, 32C-32N which show each internal state, and 32P may be able to put on a bidirectional bus 27. Moreover, the system clock ck of the processor 21 of a high order is supplied to each low-ranking processors 23A, 23B, 23C-23N through the clock signal line 33. Since the system clock ck receives the signal delay for several n seconds per m while spreading the clock signal line 33 for example, when it reaches each processors 23A, 23B, 23C-23N, it will be in the timing of a clock with the time of being outputted from the processor 21 of a high order. However, it is made for the time delay which a system clock ck receives from this clock signal line 33 to become shorter enough than that one period as for the die length of the clock signal line 33. For example, the system clock ck used here is the 10MHz square wave signal of 50:50, and if the total extension of the clock signal line 33 becomes 1m, it will be made to stop at the delay of the timing for several n seconds at the maximum.

When the processor 21 of a high order makes coincidence start processing to each low-ranking processors 23A, 23B, 23C-23N, the signal to which a bidirectional-bus 27 top is told from the processor 21 of a high order is treated as positive logic. That is, the processor 21 of a high order sets its contents of status 32P to "1." The status 32P spread a bidirectional bus 27 as a start signal, and are told to each each low-ranking processors [ 23A, 23B, 23C-23N ] statuses 32A, 32B, 32C-32N through wye yard OR circuits 31A, 31B, 31C-31N. On the other hand, the system clock ck of the processor 21 of a high order is supplied to each processors 23A, 23B, 23C-23N through the clock signal line 33, and each processors 23A, 23B, 23C-23N can incorporate the start signal supplied to wye yard OR circuits 31A, 31B, 31C-31N with the system clock ck. And since it is made to become shorter enough than the time amount for one period of a system clock ck, the time delay can be incorporated to the same timing of the same system clock ck. Therefore, each processors 23A, 23B, 23C-23N can synchronize completely by the system lock ck, and can operate.

That is, the processor 21 of a high order can supply the stimulus which only sets its status 32P to "1" once, and could be made to start the synchronous processing currently assigned at themselves to each low-ranking processors 23A, 23B, 23C-23N as a synchronous processing start signal, therefore synchronized with \*\*\*\* completeness to an examined component, or can measure it.

Moreover, in this invention, each processors 23A, 23B, 23C-23N are changed into what shows that Statuses 32A, 32B, 32C-32N were ended, after the processing which requires a synchronization is completed. In this case, a terminate signal is treated as negative logic. That is, each low-ranking processors 23A, 23B, 23C-23N set each status 32A, 32B, 32C-32N to "0", after synchronous processing is completed. Each of this terminate signal is outputted to a bidirectional bus 27 through wye yard OR circuits 31A, 31B, 31C-31N. Therefore, "0" actuation of all the statuses 32A, 32B, 32C-32N changes the signal on a bidirectional bus 27 to "0" for the first time. By supervising the level of the signal put on this one bidirectional bus 27, the processor 21 of a high order can know whether the synchronous test processing by each processors 23A, 23B, 23C-23N was completed. Therefore, it is not necessary to read the terminate signal of synchronous processing of each processors 23A, 23B, 23C-23N to each \*\*, and only the part can perform other processings and prompt system control becomes possible. "Effect of the invention"

As explained above, according to this invention, the processor in a high order controls activation \*\*\*\* of a program line chiefly, and carries out actual activation of a program line to the configuration made into the layered structure made to perform by distributing to two or more

low-ranking processors. While aiming at improvement in the processing speed by this distributed architecture, since the optimal instruction word system is used for every hierarchy, processing until it outputs a control signal becomes early very much, and the test to an examined component can be performed at a high speed.

Moreover, it faced according to the configuration of this invention, each low-ranking processor dividing the trial to an examined component, and performing it, it became possible to take a synchronization to \*\*\*\* completeness between each low-ranking processor, and to process a control program, and the supply and measurement of a stimulus which follow a synchronous or exact time order foreword to an examined component were attained.

Moreover, since system control processing by the processor of the high order about these synchronous processings is performed promptly, there is very much effectiveness also in improvement in a test period.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

The block diagram showing the example of IC test system according [ Fig. 1 ] to this invention, drawing showing [ 2 ] the example of a configuration of the important section of this invention, and Fig. 3 are drawings showing the example of a configuration of the conventional IC test system.

11: A central processing unit, 12:control line, 13:hardware module, 14:microprocessor, the processor of 21:high order, 22:control bus, the processor of 23:low order, 24:control line, 25:hardware module, 26:microprocessor, 27:bidirectional bus, 31:weave OR circuit, 32:status, 33 : clock signal line.

---

[Translation done.]